


SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP2000232170
 Publication date: 2000-08-22
 Inventor: FUNO SAKAE; ISHIHARA KATSUNORI; MATSUMOTO SHUJI
 Applicant: TOSHIBA MICROELECTRONICS CORP.; TOSHIBA CORP
 Classification:
 - international: H01L21/8247; H01L29/788; H01L29/792; H01L21/265; H01L21/283; H01L21/318; H01L27/115; H01L29/78
 - european:
 Application number: JP19990032459 19990210
 Priority number(s):

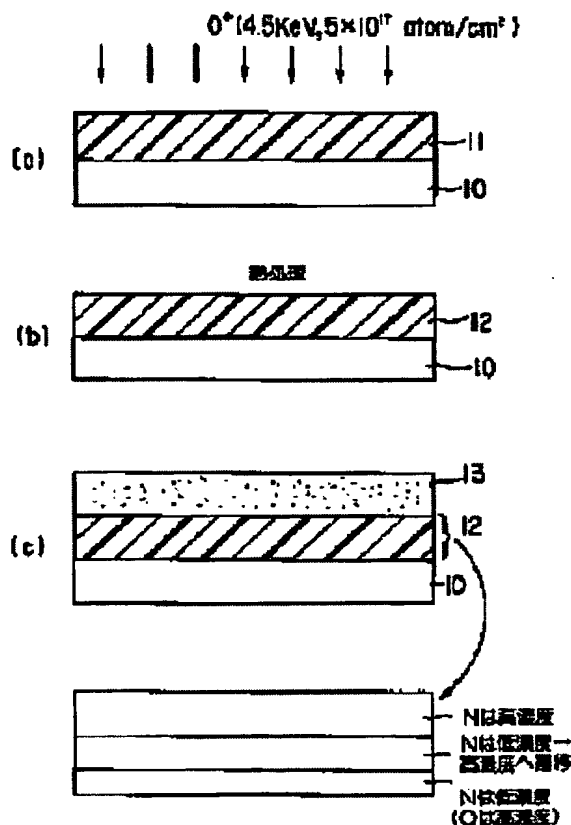
Also published as:

 JP2000232170 (A)

Abstract of JP2000232170

PROBLEM TO BE SOLVED: To form an oxy-nitride film which contains nitrogen at a high concentration, exhibits a barrier effect against the diffusion of impurities, and has a good electrical characteristic.

SOLUTION: An oxy-nitride film 12 based on a thin SiN film 11 is formed in such a way that oxygen is introduced to the SiN film 11 formed by the CVD method by controlling the introducing depth, introducing direction, and concentration of the oxygen by performing ion implantation or plasma doping. Thereafter, the oxygen is diffused in the film 11 and, at the same time, recombined through heat treatment. Therefore, a semiconductor device which can realize such an oxy-nitride film 12 that contains nitrogen at a high concentration, exhibits a barrier effect against the diffusion of impurities (boron, phosphorus, and arsenic), and has good electrical characteristics and a method for manufacturing the device can be provided.



Data supplied from the *esp@cenet* database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-232170
(P2000-232170A)

(43) 公開日 平成12年8月22日 (2000. 8. 22)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト* (参考)
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1 4 M 1 0 4
	29/788	21/283	C 5 F 0 0 1
	29/792	21/318	C 5 F 0 4 0
	21/265	21/265	Y 5 F 0 5 8
	21/283	27/10	4 3 4 5 F 0 8 3
審査請求 未請求 請求項の数 9 O L (全 11 頁) 最終頁に続く			

(21) 出願番号 特願平11-32459
(22) 出願日 平成11年2月10日 (1999. 2. 10)

(71) 出願人 000221199
東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(72) 発明者 布野 栄
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内
(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)

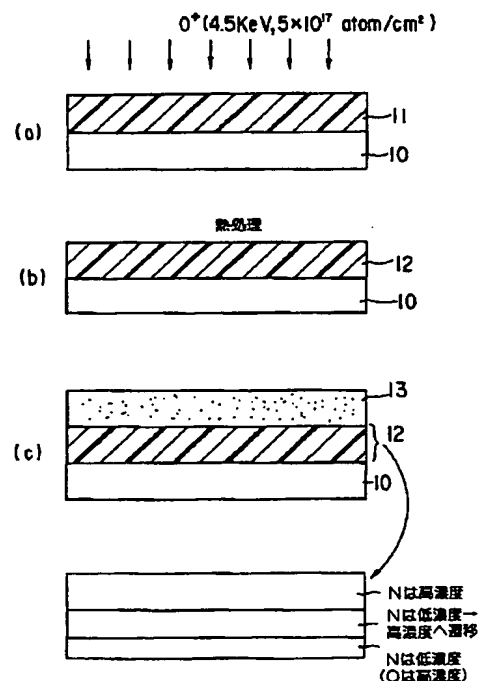
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】膜中に高濃度の窒素を有し、不純物の拡散に対するバリア効果を有し、電気的特性が良好なオキシナイトライド膜を実現する。

【解決手段】CVD法によりSiN膜11の薄膜を形成し、このSiN膜にイオン注入法またはプラズマドーピング法を用いて深さ方向、濃度を制御して酸素を導入し、その後、熱処理を加えて酸素を膜中に拡散させる共に再結合させることにより、SiN薄膜をベースとしたオキシナイトライド膜12を形成する。



【特許請求の範囲】

【請求項1】 半導体装置にオキシナイトライド膜を形成する際、

シリコンナイトライド膜を形成する工程と、
イオン注入法あるいはプラズマドーピング法のいずれかを用いて前記シリコンナイトライド膜に酸素イオンを導入することによりオキシナイトライド膜を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記オキシナイトライド膜をMOSトランジスタのゲート絶縁膜あるいは二層ゲート構造を有するメモリセルトランジスタのトンネル絶縁膜あるいは二層ゲート間絶縁膜として形成することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2記載の半導体装置の製造方法において、

前記酸素イオンを導入する際、オキシナイトライド膜中の深さ方向の所望位置にピーク位置を持つように酸素濃度のプロファイルを形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、

前記オキシナイトライド膜をMOSトランジスタのゲート絶縁膜あるいは二層ゲート構造を有するメモリセルトランジスタのトンネル絶縁膜として形成する際、下層のシリコン基板との界面近傍に酸素イオンを導入することを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載の半導体装置の製造方法において、

前記オキシナイトライド膜を二層ポリシリコンゲート構造を有するメモリセルトランジスタの二層ゲート間絶縁膜として形成する際、下層のポリシリコンとの界面近傍および上層のポリシリコンとの界面近傍のそれぞれに酸素濃度のピークを持つように前記酸素イオンを導入することを特徴とする半導体装置の製造方法。

【請求項6】 請求項3記載の半導体装置の製造方法において、

前記酸素イオンの導入量と導入のピーク位置を制御することによりオキシナイトライド膜中のN濃度の深さ方向のプロファイルを制御することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至6のいずれか1項に記載の半導体装置の製造方法において、

前記酸素イオンを導入した後に不活性ガス雰囲気または酸化性雰囲気中で熱処理を施すことにより、酸素を膜中に拡散させ安定な結合をつくり、膜中から水素を脱離させることを特徴とする半導体装置の製造方法。

【請求項8】 MOSトランジスタのゲート絶縁膜あるいはEEPROMのメモリセルトランジスタのトンネル

絶縁膜として、シリコンナイトライド膜をベースとし、シリコン基板界面近傍に酸素濃度のピーク位置が存在するオキシナイトライド膜が使用されることを特徴とする半導体装置。

【請求項9】 EEPROMの二層ゲート構造を有するメモリセルトランジスタの二層ゲート間絶縁膜として、シリコンナイトライド膜をベースとし、ゲート界面近傍に酸素の濃度のピーク位置が存在するオキシナイトライド膜が使用されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係り、特に酸化窒化膜(SiO_xNy 膜；オキシナイトライド膜)およびその形成方法に関するもので、例えば不揮発性半導体メモリのメモリセルトランジスタのゲート絶縁膜(トンネル絶縁膜)とか浮遊ゲート・制御ゲート間絶縁膜などに使用されるものである。

【0002】

【従来の技術】半導体装置の高集積化および低電力化が進むにつれて、半導体基板上に形成される素子はますます微細化され、それとともに素子のゲート絶縁膜についても低電圧で素子を駆動し得るようにその薄膜化が重要になっている。このゲート絶縁膜の薄膜化はゲート絶縁膜の信頼性に関する問題やトランジスタの性能に関する問題を顕在化させている。

【0003】例えば、近年トランジスタの消費電力を下げるためにCMOS構造が採用されている。このCMOS構造で用いられているP+型ゲート電極は、例えばポリシリコンにボロンがドーパされているが、ドーパント(ボロン)がゲート絶縁膜として用いられている SiO_2 膜(シリコン酸化膜)を通して半導体基板(例えばSi基板)へ拡散する問題がゲート絶縁膜の薄膜化が進むに連れて顕著に表われてきた。これによってMOSトランジスタの閾値電圧のバラツキを起こし、デバイスを作らせる上で支障をもたらしている。

【0004】このようなゲート電極からSi基板へのボロンの突き抜けやゲート電極中の不純物のゲート絶縁膜中への拡散を抑制するために、膜中にNを含むようなオキシナイトライド膜がゲート絶縁膜として用いられるようとしている。

【0005】このようにゲート絶縁膜としてオキシナイトライド膜を使用し、その膜中に高濃度のNを含めると、オキシナイトライド膜の誘電率が高くなり、その結果、酸化膜厚に換算した場合、ゲート絶縁膜の見かけ上の薄膜化(SiO_2 膜を用いる場合に比べて薄膜化)を達成することが可能となる。

【0006】一方、不揮発性メモリにおいて、メモリセルトランジスタのトンネル電流が流れる薄いゲート絶縁膜(トンネル絶縁膜)を用いる場合、トンネル絶縁膜は高電界下で使用するために高い信頼性が要求されてお

り、高集積化に伴いトンネル絶縁膜の薄膜化も進む方向にある。

【0007】しかし、この薄膜化に伴い、高電界ストレスがトンネル絶縁膜に印加され、低電界領域で流れるリーク電流（ストレスリーク電流）が増加することが大きな問題となっている。また、高電界ストレスによる電子トラップの増加、絶縁膜中を流すことができる電荷量の低下（Qbd特性の劣化）等も懸念される。

【0008】このような点を改善すべく、トンネル絶縁膜として、 SiO_2 膜に代えてオキシナイトライド膜を用いている。このオキシナイトライド膜は、 SiO_2 膜中の弱い $\text{Si}-\text{O}$ 結合を窒素によって修飾し、高電界ストレスによる電子トラップ形成の抑制、ストレスリーク電流低減に効果的である。

【0009】このようなオキシナイトライド膜を形成するプロセスにおいて、オキシナイトライド膜の信頼性を高めるために重要なNを膜全体に多く導入する目的で、 Si 基板にシリコン酸化膜を形成した後、 NH_3 （アンモニア）による窒化、酸素によるアニールを行う。

【0010】図10(a)乃至(c)は、EEPROM（電気的消去・再書き可能な半導体メモリ）のメモリセルトランジスタのゲート絶縁膜（トンネル絶縁膜）としてオキシナイトライド膜を形成する際の従来の主要な工程を示す。

【0011】まず、図10(a)に示すように、P型シリコン基板80上に選択酸化を用いて素子分離用のフィールド酸化膜81を形成する。続いて、ゲート絶縁膜を形成するために、熱酸化法により、前記基板80上全面に厚さ7nmの熱酸化膜82を形成する。

【0012】続いて、 1100°C 、 NH_3 雰囲気中でアニールを行うことにより、図10(b)に示すように、オキシナイトライド膜83を得る。この場合、オキシナイトライド膜83中へN（窒素）の導入と同時にH（水素）も導入されてしまう。そこで、 1100°C の O_2 雰囲気中で酸化を行い、前記オキシナイトライド膜83中に含まれる-H、-OHを脱離させる。

【0013】次に、LPCVD（減圧気相成長）法を用いて、図10(c)に示すように、P（リン）を不純物として含む多結晶シリコン膜をオキシナイトライド膜83上に200nmの厚さに堆積し、パターニングを行うことによって浮遊ゲート電極84を形成する。

【0014】図11は、上記したように NH_3 を用いた窒化プロセスを用いて形成されたオキシナイトライド膜83の膜内に存在するNの濃度分布（窒素プロファイル）に関するSIMS（二次イオン質量）分析の結果を示す。

【0015】図11から分かるように、 NH_3 を用いた窒化プロセスを用いて形成されたオキシナイトライド膜83は、膜内のNが膜表面及び基板界面近傍に局在している。

【0016】しかし、このように基板界面側に高い濃度でNが存在すると、MOSトランジスタのキャリアの移動度を低下させるという問題を引き起こすので、オキシナイトライド膜83内の基板界面近傍のNを低減させたい。

【0017】また、上記した窒化プロセスを用いたオキシナイトライド膜83の形成工程は、Nを高濃度に導入しようとする、Hも導入されてしまい、このHの大半は次の工程の酸素アニールによって脱離するが、一部はオキシナイトライド膜83中に残り、絶縁破壊、電子トラップの形成、ストレスリーク電流の原因となる。これにより、ゲート絶縁膜の信頼性が低下し、このゲート絶縁膜を用いたMOSトランジスタの電気的特性が劣化する。

【0018】また、上記した窒化プロセスを用いたオキシナイトライド膜83の形成工程は、 NH_3 雰囲気中での熱拡散によるNの導入制御を行っているので、膜内の任意の深さ方向でピークを持つようにNの濃度を制御することは困難であり、オキシナイトライド膜83の薄膜化は限界にきている。

【0019】なお、CVD法により三元系ガス（例えば $\text{SiH}_2\text{Cl}_2 + \text{N}_2\text{O} + \text{NH}_3$ ガス）を用いるオキシナイトライド膜の形成方法でも、オキシナイトライド膜中に高濃度のNを導入することは困難である。

【0020】ここで、以上に説明した従来の技術を要約する。

【0021】従来の技術でオキシナイトライド膜を形成する方法の1つとして、 SiO_2 膜を窒化材（ NH_3 、 N_2O 、 NO など）により熱処理を施してNを膜中に拡散させる方法がある。膜中に含まれるNは、拡散層やゲート電極内からの不純物の拡散を抑制する作用と電子トラップを減少させる効果があるので高濃度のNが要求されている。

【0022】膜中に信頼性を高めるために重要なNを最も多く導入し易い NH_3 ガスを用いた場合でも、Nの濃度は数%～1.0% (atoms/cm³) 程度である。しかも、膜中にNを高濃度に導入しようとする、Hまで導入されてしまい、電子トラップが形成され、実質的には使用できない。

【0023】従って、 NH_3 ガスを用いた従来の窒化プロセスは、高濃度のNを含む信頼性が高いオキシナイトライド膜を形成することが困難であり、また、膜内の深さ方向の任意の位置にピークを持つようにNのプロファイルを制御することが困難である。

【0024】なお、水素フリーのオキシナイトライド膜の形成プロセスとして、 N_2O ガスあるいは（ $\text{NO} + \text{O}_2$ ）ガスをを用いたプロセスがあるが、これらの N_2O ガス、 NO ガスは窒化性ガスであるとともに酸化性ガスでもあるので、高濃度のNを導入しようとした場合にはオキシナイトライド膜の膜厚が大幅に増加してしまうとい

う問題点がある。

【0025】なお、SiN（シリコンナイトライド）膜は、膜中に均一なNのプロファイルを有するので薄膜化に有利であるが、単層膜ではリーク電流、界面準位密度が非常に多いので、ゲート絶縁膜として使用できない。

【0026】一方、EEPROMの二層ゲート構造を有するセルトランジスタの二層ゲート間絶縁膜として、従来の方法により酸化膜・窒化膜・酸化膜を積層してONO膜を形成する場合には、酸化膜を形成した後、SiN膜を形成し、それを酸化してO₂膜を形成する。

【0027】図12は、従来のプロセスで形成された従来のONO膜の濃度分布に関するSIMS分析の結果を示した。また、従来技術を用いてオキシナイトライド膜・窒化膜・オキシナイトライド膜からなる積層構造のONO膜を形成する場合では、工程数が非常に多いので、生産性の面で問題がある。また、この際、SiN膜上を酸化する処理は、酸化速度が遅いので高温・長時間の工程となる。この高温・長時間の工程は、拡散層の伸びや拡散層中の不純物の拡散等の問題が発生し、トランジスタ特性を著しく劣化させる。

【0028】

【発明が解決しようとする課題】上記したように従来のゲート絶縁膜用のオキシナイトライド膜は、膜内のNが基板界面近傍に局在し、MOSTランジスタのキャリアの移動度を低下させるという問題があった。

【0029】また、従来のオキシナイトライド膜の形成工程は、高濃度のNを含む信頼性が高いオキシナイトライド膜を形成することが困難であり、また、膜内の深さ方向の任意の位置にNの濃度のピークを持つように濃度のプロファイルを制御を行うことが困難であり、オキシナイトライド膜の薄膜化は限界にきているという問題があった。

【0030】また、従来のゲート間絶縁膜用のONO膜をオキシナイトライド膜で形成しようとした場合では、生産性の面で問題があり、高温・長時間の工程を必要とするのでトランジスタ特性を著しく劣化させるという問題があった。

【0031】本発明は上記の問題点を解決すべくなされたもので、膜中に高濃度のNを有し、不純物（BやP）の拡散に対するバリア効果を有し、電気的特性が良好なオキシナイトライド膜を実現し得る半導体装置およびその製造方法を提供することを目的とする。

【0032】

【課題を解決するための手段】本発明の第1の半導体装置の製造方法は、半導体装置にオキシナイトライド膜を形成する際、シリコンナイトライド膜を形成する工程と、イオン注入法あるいはプラズマドーピング法のいずれかを用いて前記シリコンナイトライド膜に酸素イオンを導入することによりオキシナイトライド膜を形成する工程とを具備することを特徴とする。

【0033】この製造方法によれば、膜中に高濃度のNを有するシリコンナイトライド薄膜をベースとし、酸素をイオン注入してオキシナイトライド膜を形成するので、膜内の深さ方向の任意の位置に酸素濃度のピークを持つように濃度プロファイルの制御を行うことが容易であり、オキシナイトライド膜の窒素濃度を任意に制御することができる。

【0034】また、シリコンナイトライド薄膜をベースとして窒素濃度が高いオキシナイトライド膜を形成することが可能になるので、不純物拡散の抑制効果が大きく、電子トラップの減少が見込めるオキシナイトライド膜を実現することができる。

【0035】また、シリコンナイトライド薄膜をベースとしてオキシナイトライド膜を形成するので、従来のオキシナイトライド膜に比べて誘電率が高く、薄膜化が可能なオキシナイトライド膜を実現することができる。

【0036】本発明の第2の半導体装置の製造方法は、第1の半導体装置の製造方法において、前記オキシナイトライド膜をMOSTランジスタのゲート絶縁膜あるいは二層ゲート構造を有するメモリセルトランジスタのトンネル絶縁膜あるいは二層ゲート間絶縁膜として形成することを特徴とする。

【0037】この製造方法によれば、オキシナイトライド膜をMOSTランジスタのゲート絶縁膜あるいは二層ゲート構造を有するメモリセルトランジスタのトンネル絶縁膜あるいは二層ゲート間絶縁膜として形成して、ゲート絶縁膜あるいはトンネル絶縁膜あるいは二層ゲート間絶縁膜薄膜化を図ることができる。

【0038】本発明の第3の半導体装置の製造方法は、第1または第2の半導体装置の製造方法において、前記酸素イオンを導入する際、オキシナイトライド膜中の深さ方向の所望位置にピーク位置を持つように酸素濃度のプロファイルを形成することを特徴とする。

【0039】この製造方法によれば、酸素イオンを導入する際、オキシナイトライド膜中の深さ方向の所望位置にピークを持つように酸素濃度のプロファイルを形成することにより、オキシナイトライド膜の特性を容易に制御することができる。

【0040】本発明の第4の半導体装置の製造方法は、第1の半導体装置の製造方法において、前記オキシナイトライド膜をMOSTランジスタのゲート絶縁膜あるいは二層ゲート構造を有するメモリセルトランジスタのトンネル絶縁膜として形成する際、下層のシリコン基板との界面近傍に酸素イオンを導入することを特徴とする。

【0041】この製造方法によれば、オキシナイトライド膜をMOSTランジスタのゲート絶縁膜あるいは二層ゲート構造を有するメモリセルトランジスタのトンネル絶縁膜として形成する際、下層のシリコン基板との界面近傍に酸素イオンを導入することによりオキシナイトライド膜中の界面準位密度、固定電荷などを大幅に低減す

ることができる。

【0042】本発明の第5の半導体装置の製造方法は、第1の半導体装置の製造方法において、前記オキシナイトライド膜を二層ポリシリコンゲート構造を有するメモリセルトランジスタの二層ゲート間絶縁膜として形成する際、下層のポリシリコンとの界面近傍および上層のポリシリコンとの界面近傍のそれぞれに酸素濃度のピークを持つように前記酸素イオンを導入することを特徴とする。

【0043】この製造方法によれば、オキシナイトライド膜を二層ポリシリコンゲート構造を有するメモリセルトランジスタの二層ゲート間絶縁膜として形成する際、下層のポリシリコンとの界面近傍および上層のポリシリコンとの界面近傍のそれぞれに酸素濃度のピークを持つように酸素イオンを導入することにより、高温・長時間の工程を必要としない簡単な工程でONO膜を形成することができる。

【0044】本発明の第6の半導体装置の製造方法は、第3の半導体装置の製造方法において、前記酸素イオンの導入量と導入のピーク位置を制御することによりオキシナイトライド膜中のN濃度の深さ方向のプロファイルを制御することを特徴とする。

【0045】この製造方法によれば、酸素イオンの導入量と導入のピーク位置を制御することによりオキシナイトライド膜中のN濃度の深さ方向のプロファイルを制御することができる。

【0046】本発明の第7の半導体装置の製造方法は、第1乃至第6の半導体装置の製造方法のいずれか1つにおいて、前記酸素イオンを導入した後不活性ガス雰囲気または酸化性雰囲気中で熱処理を施すことにより、酸素を膜中に拡散させ安定な結合をつくり、膜中から水素を脱離させることを特徴とする。

【0047】この製造方法によれば、酸素イオンを導入した後不活性ガス雰囲気または酸化性雰囲気中で熱処理を施し、酸素を膜中に拡散させ安定な結合をつくり、膜中から水素を脱離させることにより、絶縁破壊、電子トラップの形成、ストレスリーク電流の原因を除去することができる。

【0048】本発明の第1の半導体装置は、MOSトランジスタのゲート絶縁膜あるいはEEPROMのメモリセルトランジスタのトンネル絶縁膜として、シリコンナイトライド膜をベースとし、シリコン基板界面近傍に酸素濃度のピーク位置が存在するオキシナイトライド膜が使用されることを特徴とする。

【0049】この半導体装置によれば、膜内の酸素濃度がほぼ全体に均一に分布するシリコンナイトライド膜をベースとし、シリコン基板界面近傍に酸素濃度のピーク位置が存在するオキシナイトライド膜をゲート絶縁膜あるいはトンネル絶縁膜として使用するトランジスタの信頼性を高めることができる。

【0050】本発明の第2の半導体装置は、EEPROMの二層ゲート構造を有するメモリセルトランジスタの二層ゲート間絶縁膜として、シリコンナイトライド膜をベースとし、ゲート界面近傍に酸素の濃度のピーク位置が存在するオキシナイトライド膜が使用されることを特徴とする。

【0051】この半導体装置によれば、シリコンナイトライド膜をベースとし、ゲート界面近傍に酸素の濃度のピーク位置が存在するオキシナイトライド膜を二層ゲート間絶縁膜として使用したメモリセルトランジスタの信頼性を高めることができる。

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0052】<半導体装置の製造方法の第1の実施の形態>図1(a)乃至(c)は、第1の実施の形態として、EEPROMの二層ゲート構造を有するセルトランジスタのトンネル絶縁膜(オキシナイトライド膜)および浮遊ゲート電極を製造する際の工程を示している。

【0053】まず、図1(a)に示すように、Si基板10上に、 SiH_2Cl_2 (ジシラン)と NH_3 ガスを用いたLPCVD法により、SiN膜11を10nm形成する。このSiN膜11は、Nの濃度が最大で60%程度であり、誘電率は4 (ほぼ SiO_2 膜の誘電率) ~ 8 (SiN膜の誘電率) の範囲である。

【0054】次に、SiN膜11に対して、加速電圧4.5KeV、ドーズ量 $5 \times 10^{17} / \text{cm}^2$ の条件でイオン注入法により酸素イオンを注入する。

【0055】この後、図1(b)に示すように、不活性ガス雰囲気中で1100℃、60secのRTA (急熱アニール) 処理を施す。この熱処理により、SiN膜11中の酸素は膜中に拡散するとともに再結合し、また、膜中に含まれる水素は膜外に脱離し、図1(c)に示すように、オキシナイトライド膜12が得られる。

【0056】この後、オキシナイトライド膜12上に、LPCVD法により、リンを不純物として含む多結晶シリコン膜13を200nmの厚さに堆積した後、パターニングを行うことにより、ゲート電極13が得られる。

【0057】図2は、上記第1の実施の形態のプロセスを用いて形成されたオキシナイトライド膜12の膜内の濃度分布に関するSIMS分析の結果を示す。

【0058】図2から分かるように、第1の実施の形態のプロセスで形成されたオキシナイトライド膜12は、表面から約9.5nmの深さに酸素濃度が99%のピークを持つようになり、Si基板との界面付近は熱酸化膜(SiO_2 膜)に近い膜となっており、酸化膜に換算した実効膜厚は約5nmとなる。つまり、膜内のNの濃度分布は、図1(c)に示すように、Si基板との界面付近は低濃度であり、その上層は低濃度から高濃度に遷移し、その上層は高濃度になっている。

【0059】図3中(a)は、第1の実施の形態のプロセ

スで形成されたオキシナイトライド膜12の耐圧について、多結晶シリコン膜13とSi基板10を電極として測定した結果を示す。また、対比するために、熱酸化膜をNH₃雰囲気中で熱処理した後に酸素処理する従来の方法で形成されたオキシナイトライド膜の耐圧測定結果を図3中(b)に示し、SiN膜の単層膜の耐圧測定結果を図3中(c)に示す。

【0060】図3中に示した結果(a)(b)(c)より、第1の実施の形態により形成されたオキシナイトライド膜12の耐圧は、従来の方法で形成されたオキシナイトライド膜、SiN膜に比べると同等以上の特性が得られている。

【0061】図4中(a)(b)(c)は、第1の実施の形態により形成されたオキシナイトライド膜、従来の方法で形成されたオキシナイトライド膜、SiN膜のそれぞれについて界面準位密度を測定した結果を示す。

【0062】図5中(a)(b)(c)は、第1の実施の形態により形成されたオキシナイトライド膜、従来の方法で形成されたオキシナイトライド膜、SiN膜のそれぞれについてTDDb (Time Dependent Dielectric Breakdown) 試験よりQbd (破壊するまでに酸化膜中を流れた総電荷量) を測定した結果を示す。

【0063】図4中に示した結果(a)(b)(c)より、第1の実施の形態により形成されたオキシナイトライド膜12中の界面準位密度は、SiN膜に比べると飛躍的に減少しており、従来の方法で形成されたオキシナイトライド膜に比べても同等といえる。

【0064】さらに、図5中に示した結果(a)(b)(c)より、第1の実施の形態により形成されたオキシナイトライド膜12のQbdは、従来の方法で形成されたオキシナイトライド膜、SiN膜に比べると同等以上の特性を示している。

【0065】即ち、上記した第1の実施の形態においては、SiN薄膜をベースとし、Oを導入する深さおよびOの導入量、O導入後の熱処理量を制御することにより、オキシナイトライド膜12膜中のO濃度の深さ方向のプロファイルを制御することが可能であり、結果として、膜中のN濃度の深さ方向のプロファイルも制御できることになる。

【0066】また、ベースとなるSiN薄膜は、Nを≦60%程度含ませることが容易であり、結果として、高濃度のNを有するオキシナイトライド膜12の形成が容易に可能となり、ゲート電極13側から基板10方向に拡散するリン(P)に対するバリア効果を有し、電気的特性が良好なゲート絶縁膜を実現することが可能になる。

【0067】また、上記第1の実施の形態により形成されたオキシナイトライド膜12は、膜中に高濃度のNを有するSiN薄膜をベースとして形成されるので、膜中の固定電荷、界面準位密度を低減でき、薄膜化が容易に

達成できる。

【0068】なお、上記第1の実施の形態において、イオン注入の加速電圧を制御することによりO濃度の深さ方向のプロファイルのピーク位置を制御し、ドーズ量を例えば $5 \times 10^{15} / \text{cm}^2 \sim 5 \times 10^{17} / \text{cm}^2$ の範囲で制御することによりO濃度を制御することができる。この場合、Oイオンの導入量および導入のピーク位置を制御することにより、相対的に膜中のN濃度の深さ方向のプロファイルを制御することができる。

【0069】また、上記第1の実施の形態では、SiN膜の地下であるシリコン基板界面側にのみOを導入したが、さらに、SiN膜全体にOが拡散するように導入してもかまわない。

【0070】また、上記第1の実施の形態は、EEPROMのセルトランジスタのトンネル絶縁膜としてオキシナイトライド膜を形成する例を説明したが、MOSTランジスタのゲート絶縁膜としてオキシナイトライド膜を形成する場合にも上記第1の実施の形態に準じて形成することが可能である。

【0071】<半導体装置の製造方法の第2の実施の形態>図6(a)乃至図7(b)は、第2の実施の形態として、EEPROMの二層ゲート構造を有するメモリセルトランジスタの二層ゲート間絶縁膜としてオキシナイトライド膜を製造する際の工程を示している。

【0072】まず、図6(a)に示すように、シリコン基板60上にゲート酸化膜(第1の実施の形態のようなオキシナイトライド膜)61を形成し、その上にフローティングゲート形成用のリンを不純物として含む多結晶シリコン膜62を形成し、その上にSiN膜63を形成する。

【0073】次に、図6(b)に示すように、加速電圧4.5KeV、ドーズ量 $5 \times 10^{17} / \text{cm}^2$ のイオン注入法により前記SiN膜63に酸素イオンを注入する。

【0074】さらに、図6(c)に示すように、加速電圧1.2KeV、ドーズ量 $5 \times 10^{17} / \text{cm}^2$ のイオン注入法により、酸素イオンを注入する。

【0075】その後、図7(a)に示すように、不活性ガス中で高温で短時間の熱処理を施すことにより、オキシナイトライド膜64を得る。

【0076】この後、図7(b)に示すように、リンを不純物として含むコントロールゲート形成用の多結晶シリコン膜65を形成する。

【0077】図8は、第2の実施の形態のプロセスを用いて形成されたオキシナイトライド膜64の濃度分布に関するSIMS分析の結果を示す。

【0078】図8から分かるように、オキシナイトライド膜64は、膜中に高濃度のNを有するSiN薄膜63をベースとして形成されるので、膜内の表面近傍から基板界面近傍まで窒素濃度が均一に分布し、図7(b)に示すように、上下のゲート界面近傍にそれぞれO濃度の

ピーク位置が存在するので、見かけ上、ONO膜と同等の特性を示す。

【0079】図9は、第2の実施の形態のプロセスを用いてフローティングゲート・コントロールゲート間絶縁膜（ポリシリコン間絶縁膜）として形成されたオキシナイトライド膜64の電気的な特性（耐压測定結果）を示す。

【0080】上記したように第2の実施の形態においては、SiN膜63を形成し、イオン注入を2回行った後、不活性雰囲気中で高温短時間のアニールを行う工程で容易にONO膜と同等のオキシナイトライド膜64を形成することが可能となる。

【0081】これは、前述したように従来の方法によりONO膜を形成する場合に多数の工程、しかも、トランジスタ特性を著しく劣化させる高温・長時間の工程が必要であることに比べて、工程が簡単になり、トランジスタ特性を著しく劣化させるおそれはない。

【0082】また、上記第2の実施の形態により形成されたオキシナイトライド膜64は、従来の方法により形成されたONO膜と比べて、2/3程度の膜厚でありながら同等のリーク特性を示すので、二層ゲート間絶縁膜の薄膜化を容易に達成し、トランジスタの動作電力の小電力化に有効である。

【0083】なお、上記各実施の形態では、Oイオンを膜中に導入するためにイオン注入法を用いたが、これに限らず、例えばプラズマドーピングのような方法を用いることも可能である。プラズマドーピング法は、SiN膜の表面近傍の浅い領域に酸素イオンを導入する場合には特に有効である。

【0084】

【発明の効果】上述したように本発明によれば、膜中に高濃度の窒素を有し、不純物（ボロンやリン、ヒ素）の拡散に対するバリア効果を有し、電気的特性が良好なオキシナイトライド膜を実現し得る半導体装置およびその製造方法を提供することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の第1の実施の形態としてEEPROMの二層ゲート構造を有するセルトランジスタのトンネル絶縁膜（オキシナイトライド膜）および浮遊ゲート電極を製造する際の工程を示す断面図。

面図。

【図2】第1の実施の形態のプロセスを用いて形成されたオキシナイトライド膜の膜内の濃度分布に関するSIMS分析の結果を示す図。

【図3】図1のプロセスで形成されたオキシナイトライド膜の耐压測定結果と従来の方法で形成されたオキシナイトライド膜の耐压測定結果を対比して示す図。

【図4】図1のプロセスで形成されたオキシナイトライド膜、従来の方法で形成されたオキシナイトライド膜、シリコンナイトライド膜のそれぞれについて界面準位密度を測定した結果を示す図。

【図5】図1のプロセスで形成されたオキシナイトライド膜、従来方法で形成されたオキシナイトライド膜、シリコンナイトライド膜のそれぞれについてTDDDB試験よりQbdを測定した結果を示す図。

【図6】本発明の半導体装置の製造方法の第2の実施の形態としてEEPROMのメモリセルトランジスタの二層ゲート間絶縁膜としてオキシナイトライド膜を製造する際の工程の一部を示す断面図。

【図7】図6に示した工程に続く工程を示す断面図。

【図8】第2の実施の形態のプロセスを用いてONO膜として形成された形成されたオキシナイトライド膜の耐压測定結果を示す図。

【図9】第2の実施の形態のプロセスを用いてONO膜として形成されたオキシナイトライド膜の膜内の濃度分布に関するSIMS分析の結果を示す図。

【図10】従来のEEPROMのメモリセルトランジスタのトンネル絶縁膜としてオキシナイトライド膜を形成する際の工程を示す断面図。

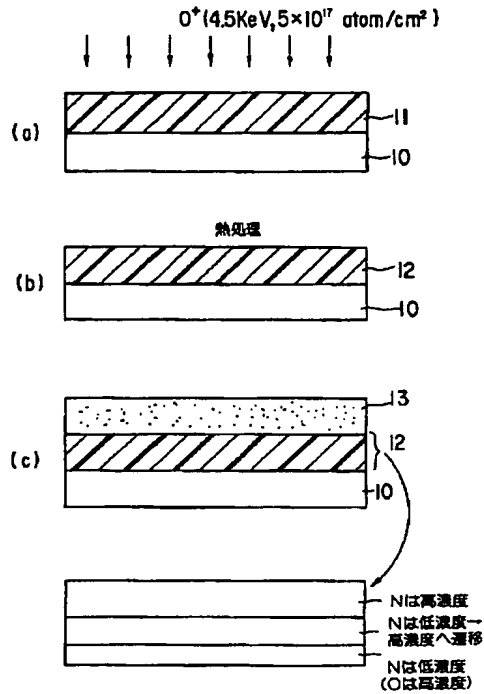
【図11】図10のプロセスを用いて形成されたオキシナイトライド膜の膜内の濃度分布に関するSIMS分析の結果を示す図。

【図12】従来のEEPROMのメモリセルトランジスタの二層ゲート間絶縁膜として形成されたONO膜の膜内の濃度分布に関するSIMS分析の結果を示す図。

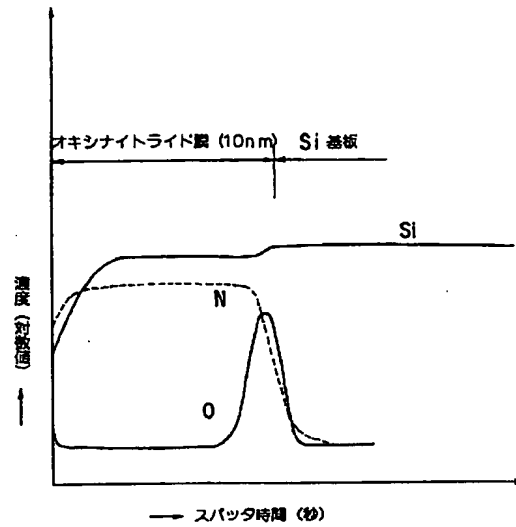
【符号の説明】

- 10…Si基板、
- 11…SiN膜、
- 12…オキシナイトライド膜、
- 13…多結晶シリコン膜。

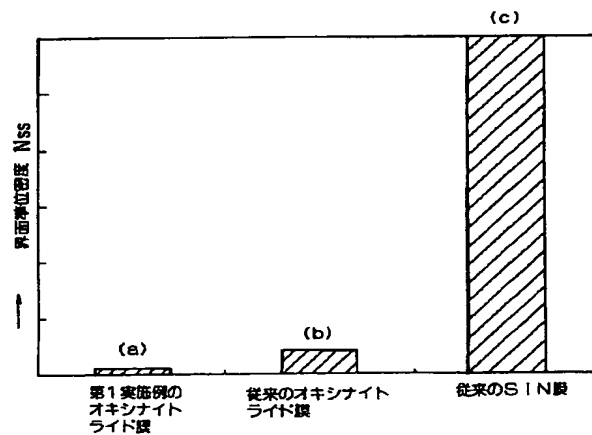
【図1】



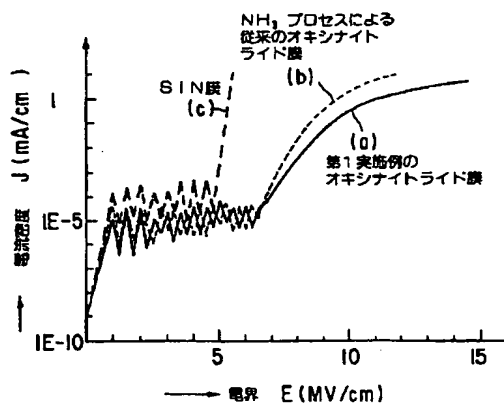
【図2】



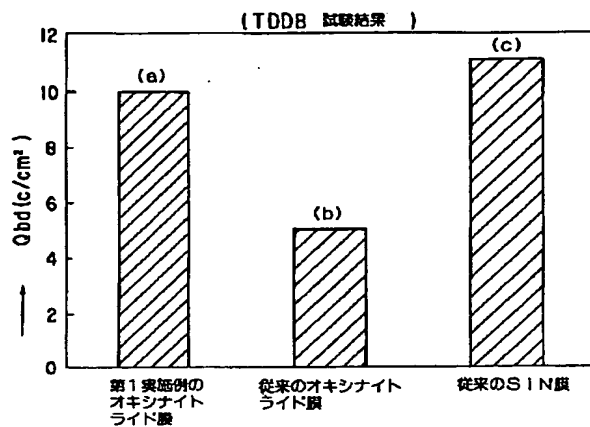
【図4】



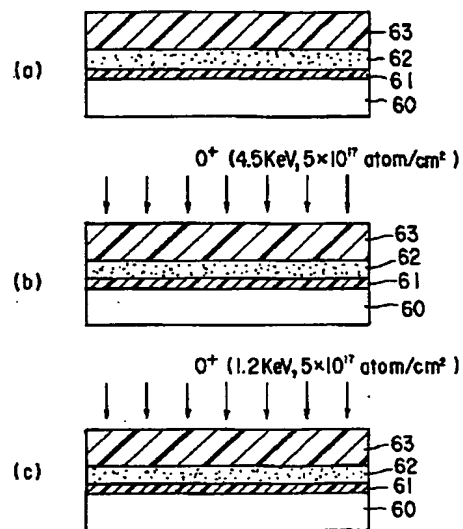
【図3】



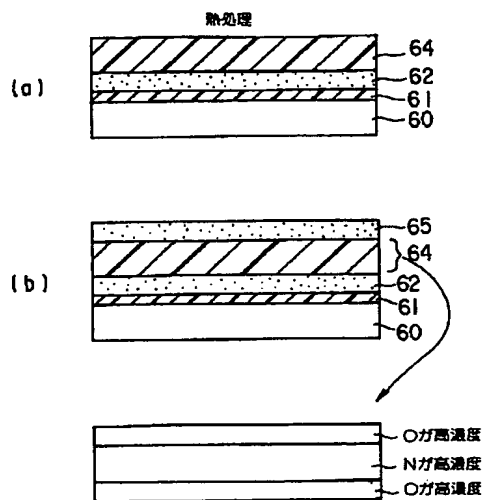
【図5】



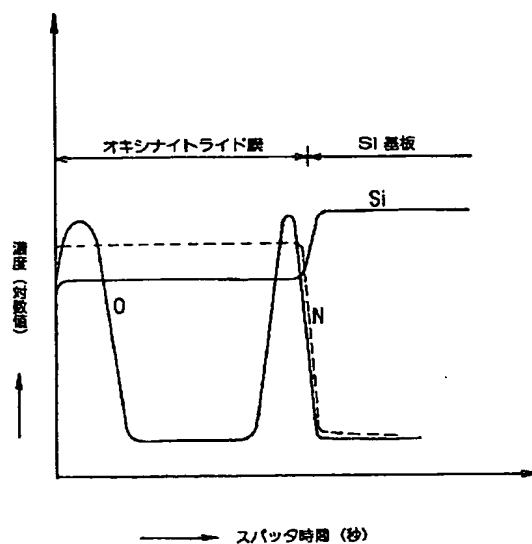
【図6】



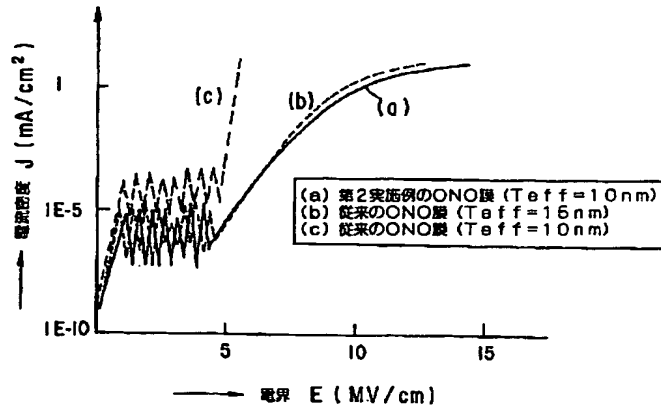
【図7】



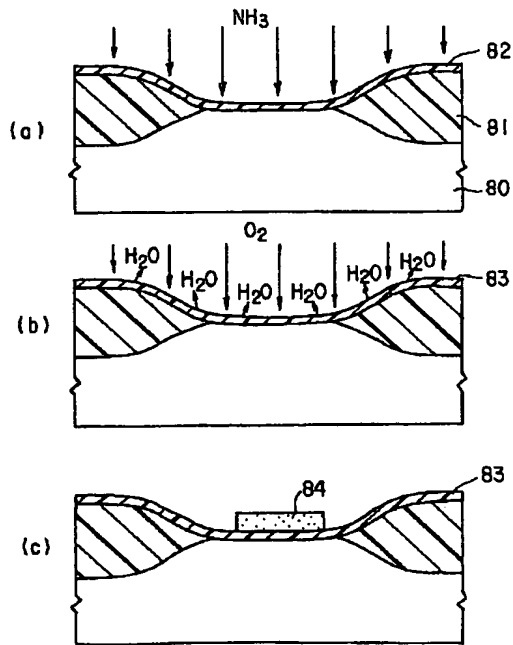
【図8】



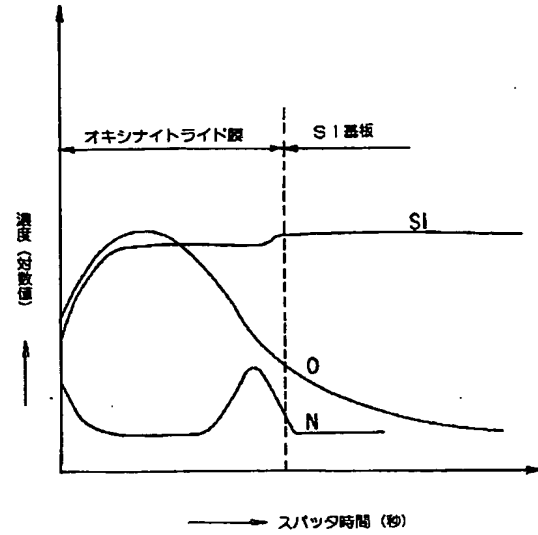
【図9】



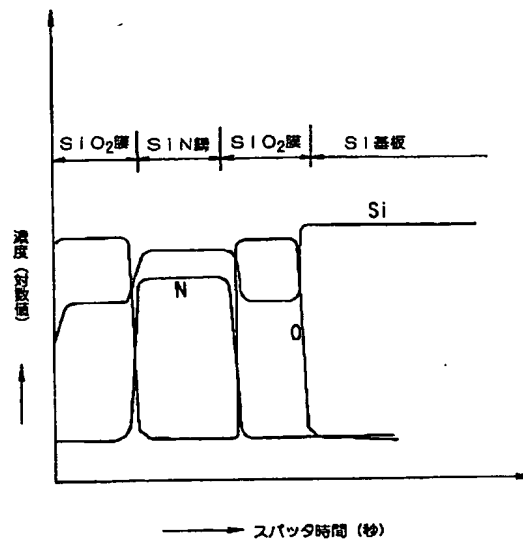
【図10】



【図11】



【図12】



フロントページの続き

(51)Int. Cl.⁷
H01L 21/318
27/115
29/78

識別記号

FI
H01L 29/78

テマード (参考)
301G

(72)発明者 石原 勝則
神奈川県川崎市川崎区駅前本町25番地 1
東芝マイクロエレクトロニクス株式会社内
(72)発明者 松本 修司
神奈川県川崎市川崎区駅前本町25番地 1
東芝マイクロエレクトロニクス株式会社内

F ターム(参考) 4M104 BB01 CC05 DD18 DD29 DD43
EE03 EE14 GG09 GG16 HH20
5F001 AA01 AA06 AA63 AB02 AD12
AF06 AF07 AF25 AG03 AG12
AG21 AG22 AG30
5F040 DA19 EA08 EA09 EC01 ED03
FC11
5F058 BA20 BD01 BD10 BD15 BF04
BF24 BF30 BF73 BH15 BJ01
BJ10
5F083 EP02 EP22 EP44 EP45 EP56
EP57 ER21 GA21 GA25 GA30
JA05 PR21 PR34 PR36

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.